

HDL je zkratka z oboru hradlových polí a designu integrovaných obvodů. Pochází z anglických slov Hardware Description Language - Jazyk pro popis hardware. Nyní se pro popis hardware používají masově dva jazyky Verilog a VHDL.

Verilog je populární zejména v Americe. Jeho syntaxe je odvozena od syntaxe jazyka C. Je jednodušší na naučení, ale má slabou typovou kontrolu a určité záludnosti (například výsledný kód může záviset na pořadí překladu jednotlivých modulů). Primárně byl určen pro verifikaci logických obvodů až na úroveň jednotlivých hradel.

VHDL je populární v Evropě a jeho syntaxe je odvozena od jazyka ADA se všemi důsledky: VHDL je hodně "ukecaný", ale má velmi silnou typovou kontrolu a širokou škálu vlastností vyšších programovacích jazyků, jako je možnost používat procedury, funkce, knihovny, pracovat s diskovými soubory a podobně, což usnadňuje psaní tzv. testbenchů sloužících k testování kódu napsaného v některém HDL.

Všichni výrobci software pro práci s HDL rovnocenným způsobem podporují VHDL i Verilog a většina profesionálních designerů zná dokonale oba jazyky - poměrně kuriózní situace, ze které momentálně není východisko.

HDL jazyky mají jednu zásadní vlastnost, která je odlišuje od programovacích jazyků pro počítače: Jsou paralelní.

To, co bychom v běžných sekvenčních jazycích nazvali funkce nebo procedura, je v HDL samostatný blok, prováděný nezávisle na ostatních blocích, tedy paralelně. Analogicky proměnná reprezentuje většinou registr nebo pole registrů, případně signál - vodič sloužící k propojení jednotlivých interních bloků a k vytažení signálů na piny integrovaného obvodu.

Z těchto důvodů se soubor v příslušném HDL nazývá "kód" a nikoliv "program".

V současnosti je značný tlak na zpřístupnění HDL způsobu uvažování běžných programátorů (System-C apod.), ovšem výsledky nejsou optimální - je potřeba myslet "paralelně" a mít základní představu o HW se kterým pracují.